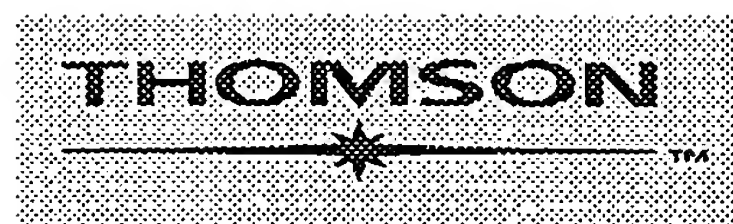
**MACHINE-ASSISTED TRANSLATION (MAT):**

(19) 【発行国】 日本国特許庁 (J P)	(19)[ISSUING COUNTRY] Japan Patent Office (JP)
(12) 【公報種別】 公開特許公報 (A)	(12)[GAZETTE CATEGORY] Laid-open Kokai Patent (A)
(11) 【公開番号】 特開平 11-231805	(11)[KOKAI NUMBER] Unexamined Japanese Patent Heisei 11-231805
(43) 【公開日】 平成 1 1 年 (1 9 9 9) 8 月 2 7 日	(43)[DATE OF FIRST PUBLICATION] August 27, Heisei 11 (1999. 8.27)
(54) 【発明の名称】 表示装置	(54)[TITLE OF THE INVENTION] Display device
(51) 【国際特許分類第 6 版】 G09F 9/30 365 H05B 33/26	(51)[IPC 6] G09F 9/30 365 H05B 33/26
【 F I 】 G09F 9/30 365 Z H05B 33/26 Z	[FI] G09F 9/30 365 Z H05B 33/26 Z
【審査請求】 未請求	[REQUEST FOR EXAMINATION] No
【請求項の数】 2	[NUMBER OF CLAIMS] 2
【出願形態】 O L	[FORM OF APPLICATION] Electronic
【全頁数】 5	[NUMBER OF PAGES] 5



(21) 【出願番号】
特願平 10-28706

(21)[APPLICATION NUMBER]
Japanese Patent Application Heisei 10-28706

(22) 【出願日】
平成 1 0 年 (1 9 9 8) 2 月 1
0 日

(22)[DATE OF FILING]
February 10, Heisei 10 (1998. 2.10)

(71) 【出願人】

(71)[PATENTEE/ASSIGNEE]

【識別番号】
000001889

[ID CODE]
000001889

【氏名又は名称】
三洋電機株式会社

[NAME OR APPELLATION]
Sanyo Electric Co., Ltd.

【住所又は居所】
大阪府守口市京阪本通 2 丁目 5
番 5 号

[ADDRESS OR DOMICILE]

(72) 【発明者】

(72)[INVENTOR]

【氏名】
松田 洋史

[NAME OR APPELLATION]
Matsuda, Hiroshi

【住所又は居所】
大阪府守口市京阪本通 2 丁目 5
番 5 号 三洋電機株式会社内

[ADDRESS OR DOMICILE]

(74) 【代理人】

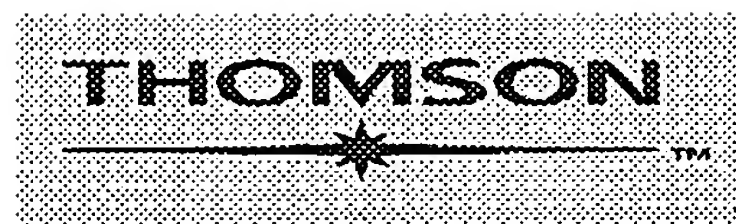
(74)[AGENT]

【弁理士】

[PATENT ATTORNEY]

【氏名又は名称】
安富 耕二 (外 1 名)

[NAME OR APPELLATION]
Yasutomi, Koji (and 1 other)

**(57) 【要約】****【課題】**

発光する表示画素が発光すべき輝度で発光する表示装置を提供する。

【解決手段】

基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るEL素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第1の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第1の薄膜トランジスタのソース電極に接続された第2の薄膜トランジスタと、を備えて成る表示装置において、前記第1の薄膜トランジスタをダブルゲート構造とする。これにより、第1のTFTのリーク電流を抑制して第2のTFTのゲート電極の電位を一定に保つことができる。

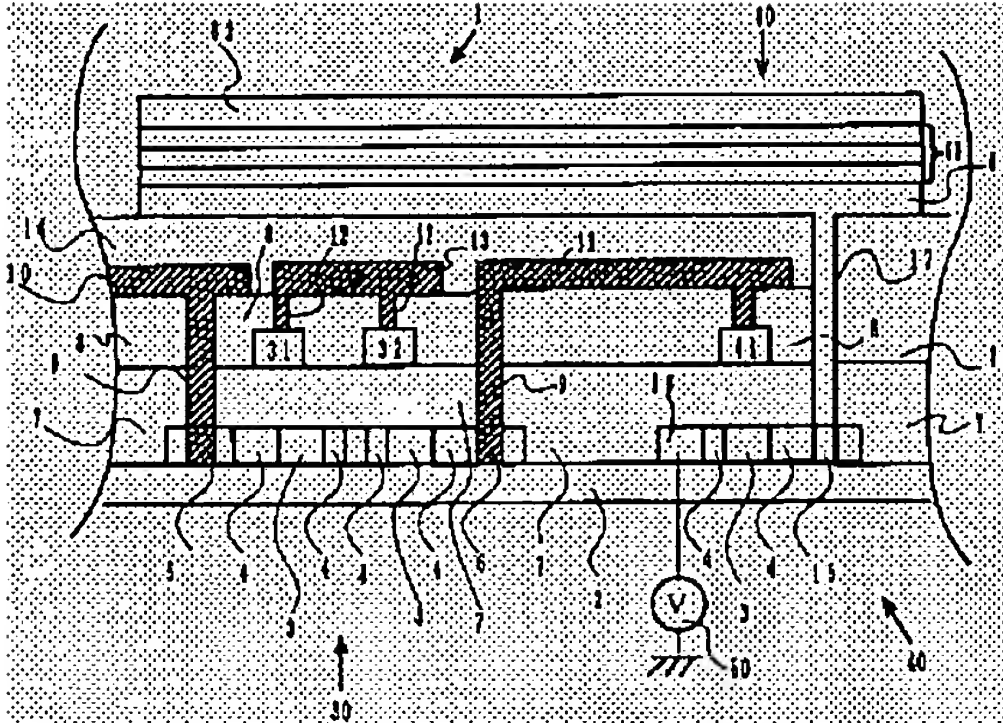
(57)[ABSTRACT OF THE DISCLOSURE]**[SUBJECT OF THE INVENTION]**

It provides the display device with which the display pixel, which lights, emits light with brightness which should be lighted.

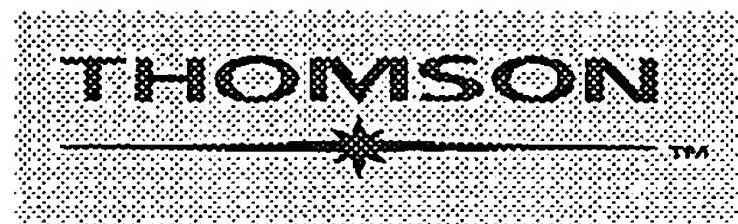
[PROBLEM TO BE SOLVED]

In the display device which is comprised of the EL element which is constituted of an anode, a cathode and the luminous-element layer sandwiched between both of these electrodes, 1st thin-film transistor by which the drain electrode is connected to the drain signal wire and the gate electrode is connected to the gate-signal line, and 2nd thin-film transistor by which a source electrode is connected to said anode, the drain electrode is connected to the power source and the gate electrode is connected to the source electrode of said 1st thin-film transistor, on a base plate, it makes said 1st thin-film transistor have a double gate structure.

Thereby, it can control leak electric current of 1st TFT, and can keep the electric potential of gate electrode of 2nd TFT constant.



- 1: Display pixel
- 2: Base plate
- 3: Channel region
- 4: Region 4 which injected the impurity into the channel region
- 5: Sauce region
- 6: Drain region
- 7: Gate insulation film
- 8: Interlayer insulation film
- 9: Contact hole
- 10: Sauce electrode
- 11: Drain electrode
- 12: Contact hole
- 13: Gate electrode
- 14: Planarization insulation film
- 15: Sauce region
- 16: Drain region
- 17: Contact hole
- 30: 1st TFT
- 31: Gate
- 32: Gate
- 40: 2nd TFT
- 41: Gate
- 50: Power source
- 60: Organic EL device
- 61: Anode
- 62: Cathode



63: Luminous-element layer

【特許請求の範囲】

[CLAIMS]

【請求項 1】

基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るエレクトロルミネセンス素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第 1 の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第 1 の薄膜トランジスタのソース電極に接続された第 2 の薄膜トランジスタと、を備えて成る表示装置において、前記第 1 の薄膜トランジスタはダブルゲート構造を有することを特徴とする表示装置。

[CLAIM 1]

In the display device which comprises the electroluminescent element which consists of an anode, a cathode, and the light-emitting-element layer pinched between these both electrodes, the 1st thin-film transistor by which the drain electrode was connected to the drain signal wire|line, and the gate electrode was connected to the gate-signal line|wire, and the 2nd thin-film transistor by which the source electrode was connected to the said anode, the drain electrode was connected to the power supply, and the gate electrode was connected to the source electrode of said 1st thin-film transistor on a substrate, said 1st thin-film transistor has double gate structure.

The display device characterized by the above-mentioned.

【請求項 2】

前記第 1 及び第 2 の薄膜トランジスタのうち少なくとも一方は LDD 構造を有することを特徴とする請求項 1 記載の表示装置。

[CLAIM 2]

A display device of Claim 1, in which at least one of said 1st and 2nd thin-film transistors has the LDD structure.

【発明の詳細な説明】

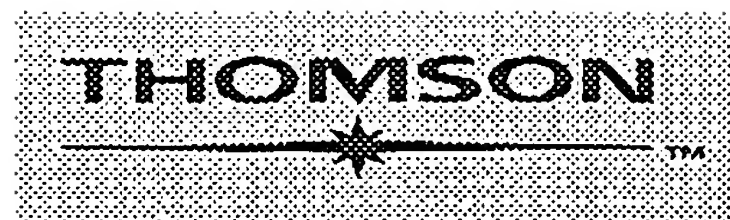
[DETAILED DESCRIPTION OF THE INVENTION]

【発明の属する技術分野】

[TECHNICAL FIELD OF THE INVENTION]

本発明は、基板上にエレクトロ

This invention relates to the display device



ルミネッセンス素子及び薄膜トランジスタを備えた表示装置に関する。

【従来の技術】

近年、エレクトロルミネッセンス (Electro Luminescence : 以下、「EL」と称する。) 素子を用いた表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor : 以下、「TFT」と称する。) を備えた表示装置の研究開発も進められている。図4に、従来のEL素子及びTFTを備えた表示装置の等価回路図を示す。同図は、第1のTFT130、第2のTFT140及び有機EL素子160からなる表示装置の等価回路図であり、第 n 行及び第 $n+1$ 行のゲート信号線 G_n 、 G_{n+1} と第 m 列及び第 $m+1$ 列のドレイン信号線 D_m 、 D_{m+1} 付近を示している。ゲート信号を供給するゲート信号線 G_n 、 G_{n+1} とドレイン信号を供給するドレイン信号線 D_m 、 D_{m+1} とが直交しており、両信号線の交差点付近には、有機EL素子160及びこの有機EL素子160を駆動するTFT130、140が設けられている。スイッチング用のTFTである

equipped with the electroluminescent element and the thin-film transistor on the base plate.

[PRIOR ART]

In recent years, the display device using an electroluminescence (below Electro Luminescence: calls "EL") element attracts attention as a display device which replaces CRT and LCD, for example, research and development of the display device equipped with the thin-film transistor (below Thin Film Transistor: calls "TFT") as a switching element which lets the EL element actuate are also furthered.

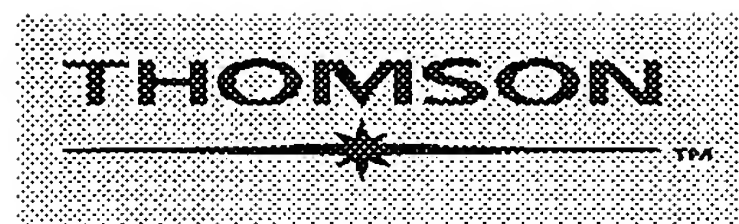
The equivalent-circuit figure of the display device which equipped FIG. 4 with the EL element of the past and TFT is shown.

This figure is the equivalent-circuit figure of the display device which is made up of 1st TFT130, 2nd TFT140, and an organic EL device 160.

The drain signal wire D_m of the gate-signal line G_n of the n -th line and the $n+1$ st line, G_{n+1} , the m -th row, and the $m+1$ st row and the D_{m+1} neighborhood are shown.

The gate-signal line G_n which supplies a gate signal, the drain signal wire D_m which supplies G_{n+1} and a drain signal, and D_{m+1} lie at right angles, an organic EL device 160 and TFT130,140 which actuates this organic EL device 160 are provided near the cross point of both signal wires.

1st TFT130 which is TFT for switching is made up of the gate-signal line G_n , the gate electrode 131 to which it connects with G_{n+1} and a gate signal is supplied, the drain signal wire D_m and



第1のTFT130は、ゲート信号線 G_n 、 G_{n+1} に接続されておりゲート信号が供給されるゲート電極131と、ドレイン信号線 D_m 、 D_{m+1} に接続されておりドレイン信号が供給されるドレイン電極132と、第2のTFT140のゲート電極141に接続されているソース電極133とからなる。有機EL素子駆動用のTFTである第2のTFT140は、第1のTFT130のソース電極133に接続されているゲート電極141と、有機EL素子160の陽極161に接続されたソース電極142と、有機EL素子160に供給される電源150に接続されたドレイン電極143とから成る。また、有機EL素子160は、ソース電極142に接続された陽極161と、コモン電極164に接続された陰極162、及びこの陽極161と陰極162との間に挟まれた発光素子層163から成る。なお、上述のTFTは、いずれもゲートが1つのシングルゲート構造である。ここで、図4の等価回路図に示す回路の駆動方法について、図5に示す各信号のタイミングチャートに基づいて説明する。図5(a)は第 n 行の第1のTFT130のゲート電極に供給される信号 $V_{G(n)1}$ の、同(b)は第 $n+1$

the drain electrode 132 with which it connects with D_{m+1} and a drain signal is supplied, and a source electrode 133 connected to 2nd. gate electrode 141 of TFT140.

2nd TFT140 which is TFT for organic EL device actuation constitutes of the gate electrode 141 connected to 1st source electrode 133 of TFT130, the source electrode 142 connected to anode 161 of an organic EL device 160, and the drain electrode 143 connected to the power source 150 supplied to an organic EL device 160.

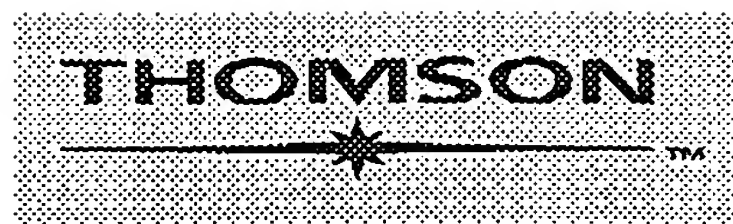
Moreover, an organic EL device 160 is constituted of anode 161 connected to the source electrode 142, cathode 162 connected to the common electrode 164, and the luminous-element layer 163 sandwiched between this anode 161 and cathode 162.

In addition, the gate of each above-mentioned TFT is one single gate structure.

Here, based on the timing chart of each signal shown in FIG. 5, it demonstrates the actuation method of the circuit shown in the equivalent-circuit figure of FIG. 4.

As for said (c) of the signal $V_{G(n+1)1}$ with which said (b) of signal $V_{G(n)1}$ by which FIG.5(a) is supplied to 1st gate electrode of TFT130 of the n -th line is supplied to 1st gate electrode of TFT130 of the $n+1$ st line, this (d) of the drain signal V_D of the drain signal wire D_m is signal $V_{G(n)2}$ supplied to 2nd gate electrode of TFT140 of the n -th line, (e) shows each timing chart of the signal of 2nd gate electrode $V_{G(n+1)2}$ of TFT140 of the $n+1$ st line.

If gate-signal $V_{G(n)1}$ from the gate-signal line G_n shown in FIG.5(a) when it sees paying



行の第1のTFT130のゲート電極に供給される信号VG(n+1)1の、同(c)はドレイン信号線Dmのドレイン信号VDの、同(d)は第n行の第2のTFT140のゲート電極に供給される信号VG(n)2の、(e)は第n+1行の第2のTFT140のゲート電極VG(n+1)2の信号のそれぞれのタイミングチャートを示す。第n行のゲート信号線Gnに注目して見ると、図5(a)に示すゲート信号線Gnからのゲート信号VG(n)1がゲート電極131に印加されると、第1のTFT130がオンになる。そのため、ドレイン信号線Dmから図5(c)に示すドレイン信号がゲート電極141に供給され、ゲート電極141の電位がドレイン信号線Dの電位と同電位になる。そしてゲート電極141に供給された電流値に相当する電流が電源150から有機EL素子160に供給される。それによって有機EL素子160は発光する。

【発明が解決しようとする課題】

第1のTFT130がオンの期間には、ドレイン信号線Dmの電位と同電位になるまで電流が流れてゲート電極141のゲート容量に電荷が蓄積される。そ

attention to the gate-signal line Gn of the n-th line is impressed to a gate electrode 131, 1st TFT130 will be set to ON.

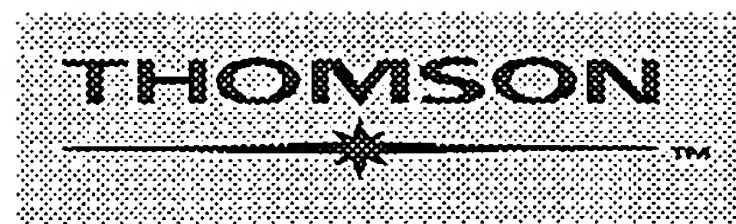
Therefore, the drain signal shown in FIG.5(c) from the drain signal wire Dm is supplied to a gate electrode 141, the electric potential of a gate electrode 141 turns into the electric potential and this electric potential of the drain signal wire D.

And the electric current which amounts to the electric-current value supplied to the gate electrode 141 is supplied to an organic EL device 160 from a power source 150.

An organic EL device 160 emits light by it.

[PROBLEM TO BE SOLVED BY THE INVENTION]

An electric current flows and a charge is accumulated in the gate capacity of a gate electrode 141 until 1st TFT130 becomes the electric potential and this electric potential of the drain signal wire Dm at the period of ON.



して、第1のTFT130がオフになると、そのゲート容量に蓄積された電荷はその状態を維持し、ゲート電位は、図5(d)の点線で示すように言って位置になるはずである。しかしながら、上述の従来の表示装置ではTFTのオフ時にリーク電流が流れるため、ドレイン信号VDが図5(c)に示すように1水平期間(1H)毎に変化すると、ゲート電極141の電位VG(n)2は、図5(d)の実線に示すように変化してしまい、一定値とならない。同様に、第n+1行のゲート信号線Gn+1についても、図5(e)に示すようにゲート電極141の電位が一定でなくなる。即ち、図5(d)の実線に示すように1)ドレイン信号線Dmの電位がゲート電極141に供給された電位よりも低い場合には、第1のTFT130を介してドレイン信号線Dmにリーク電流が流れてゲート電極141の電位が低下し、2)ドレイン信号線Dmの電位がゲート電極141に供給された電位よりも高い場合には第1のTFT130を介してゲート電極141にリーク電流が流れ電荷が更に蓄積されてゲート電極141の電位が高くなる。そうすると、1)の場合には、本来有機EL素子160に流れるべき電流よりも大きい電

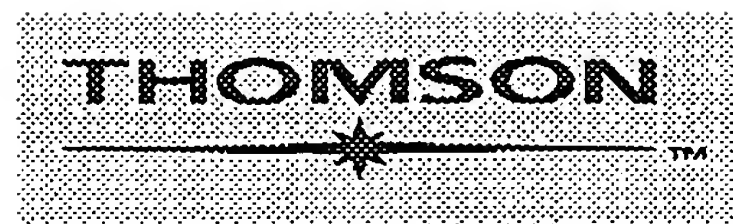
And if 1st TFT130 is come by off, the charge accumulated in the gate capacity will maintain the state, as the dotted line of FIG.5(d) shows, it should say a gate electric potential, and it should become a position.

However, in the display device of the above-mentioned past, since a leak electric current flows at the time of OFF of TFT, if the drain signal VD varies to every 1 horizontal period (1H) as shown in FIG.5(c), electric-potential VG(n)2 of a gate electrode 141 will vary as shown in the continuous line of FIG.5(d), and will not constitute a constant value.

Similarly, as for gate-signal line Gn+1 of the n+1st line, the electric potential of a gate electrode 141 becomes inconstant as in FIG.5(e).

That is, when lower than the electric potential by which the electric potential of 1 drain signal wire Dm was supplied to the gate electrode 141 as shown in the continuous line of FIG.5(d), a leak electric current flows into the drain signal wire Dm through 1st TFT130, and the electric potential of a gate electrode 141 falls, 2) When the electric potential of the drain signal wire Dm is higher than the electric potential supplied to the gate electrode 141, a leak electric current flows into a gate electrode 141 through 1st TFT130, a charge is accumulated further, and the electric potential of a gate electrode 141 becomes higher.

If it does so, in 1), a larger electric current than the electric current which should flow into an organic EL device 160 essentially will flow, and the brightness of an organic EL device becomes



流が流れることになり有機EL素子の輝度が高くなってしまい、2)の場合には、逆に輝度が低くなってしまふ。1)、2)いずれの場合にも、第1のTFT130のリーク電流が大きいと、発光する表示画素が発光すべき輝度で発光することが困難であるという欠点があった。また、有機EL素子が発光させるために、ゲート電極141に電位が供給されている間中、有機EL素子160に電流が供給されるので、特に第2のTFT140は、TFTのチャネル部における電界密度の集中が著しくなりTFTの劣化が生じるという欠点もあった。そこで本発明は、上記の従来の欠点に鑑みて為されたものであり、第1のTFT130のリーク電流を抑制して第2のTFT140のゲート電極141の電位を一定に保つことにより、発光する表示画素が発光すべき輝度で発光する表示装置を提供することを目的とする。

【課題を解決するための手段】

本発明の表示装置は、基板上に、陽極、陰極及び該両電極の間に挟まれた発光素子層から成るエレクトロルミネッセンス素子と、ドレイン電極がドレイン信号線に、ゲート電極がゲート信号線にそれぞれ接続された第1

higher, in 2), brightness will become low conversely.

When 1st leak electric current of TFT130 in either (any) case of 1) and 2) was large, there was a disadvantage that it was difficult to emit light by the brightness in which the display pixel which emits light should emit light.

Moreover, in order to let an organic EL device emit light, while the electric potential is supplied to the gate electrode 141, an electric current is supplied to an organic EL device 160, depend.

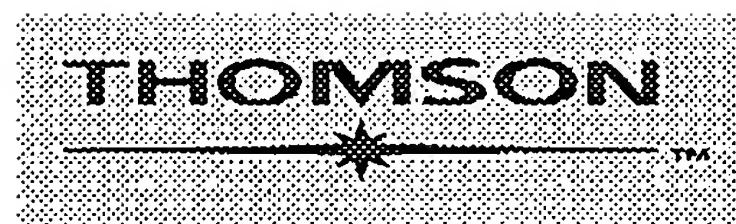
Concentration of electrical-field density in the channel part of TFT became remarkably, and particularly 2nd TFT140 also had the disadvantage that degradation of TFT arose.

Then, in view of the disadvantage of the above-mentioned past, it succeeded in this invention.

It aims at providing the display device which emits light by the brightness in which the display pixel which emits light should emit light by controlling 1st leak electric current of TFT130, and keeping constant the electric potential of 2nd gate electrode 141 of TFT140.

[MEANS TO SOLVE THE PROBLEM]

In the display device which comprises the electroluminescent element which constitutes of the luminous-element layer sandwiched between an anode, a cathode, and these both electrodes on a base plate, 1st thin-film transistor by which the drain electrode was connected to the drain signal wire, and the gate



の薄膜トランジスタと、ソース電極が前記陽極に、ドレイン電極が電源に、ゲート電極が前記第1の薄膜トランジスタのソース電極に接続された第2の薄膜トランジスタと、を備えて成る表示装置において、前記第1の薄膜トランジスタはダブルゲート構造を有するものである。また、前記第1と第2のTFTのうち少なくともいずれか一方がLDD構造を有するものである。

electrode was each connected to the gate-signal line, and 2nd thin-film transistor by which a source electrode connects the display device of this invention to said anode, the drain electrode was connected to the power source, and the gate electrode was connected to the source electrode of said 1st thin-film transistor, said 1st thin-film transistor has the double gate structure.

Moreover, 2nd at least any one of TFT has the LDD structure as it is said 1st.

【発明の実施の形態】

本発明の表示装置について以下に説明する。図1は、本発明の実施の形態の有機EL素子及びTFTを備えた表示装置の1つの画素を示す断面図である。同図に示す如く、表示画素1は、ガラスや合成樹脂などから成る基板又は導電性を有する基板あるいは半導体基板等の基板2上に、TFT及び有機EL素子を順に積層形成して成る。ただし、基板2として導電性を有する基板及び半導体基板を用いる場合には、これらの基板2上にSiO₂やSiNなどの絶縁膜を形成した上にTFTを形成する。TFTは、本実施の形態においては、第1及び第2のTFT 30、40ともに、ゲート電極を能動層3の上に設けたいわゆるトップゲート型のTFTであ

[EMBODIMENT OF THE INVENTION]

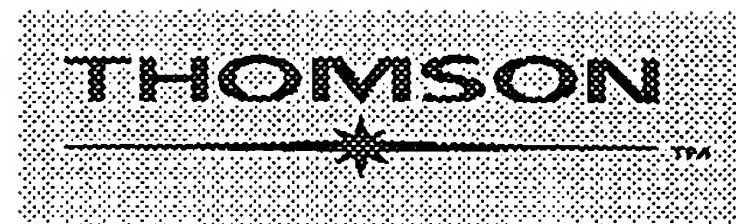
It demonstrates the display device of this invention below.

FIG. 1 is sectional drawing showing one pixel of the display device equipped with the organic EL device of Embodiment of this invention, and TFT.

The display pixel 1 forms lamination TFT and an organic EL device in order as shown in this figure on the base plate which has the base plate or electroconductivity which constitutes of glass, a synthetic resin, etc., or the base plates 2, such as a semiconductor substrate.

However, when using the base plate and semiconductor substrate which have electroconductivity as a base plate 2, it formed SiO₂ and SiN etc. insulation film upwards on these base plates 2, and forms TFT.

TFT is what is called the TFT of the top gated mode by which 1st and 2nd TFT 30 and 40 provided the gate electrode on the active layer 3 in this Embodiment.



り、能動層として多結晶シリコン (Poly-Silicon、以下、「p-Si」と称する。) 膜を用いている。まず、スイッチング用の TFT である第 1 の TFT30 について説明する。基板 2 上に p-Si 膜からなる能動層を設け、この能動層上にはゲート絶縁膜 7 を介して 2 つのゲート、即ちゲート 31 とゲート 32 が設けられており、第 1 の TFT30 はいわゆるダブルゲート構造を有している。この各ゲート 31, 32 の直下の能動層には、チャネル領域 3、そのチャネル領域 3 の両側に不純物を注入した領域 4、更にこの領域 4 よりも不純物濃度が高いソース領域 5 及びドレイン領域 6 を備えている。こうして第 1 の TFT30 はいわゆる LDD (Lightly Doped Drain) 構造を有している。この第 1 の TFT30 の全面に層間絶縁膜 8 を設けた後、ソース領域 5 及びドレイン領域 6 に対応した位置のゲート絶縁膜 7 及び層間絶縁膜 8 にコンタクトホール 9 を設ける。そして Al 等の金属をそのコンタクトホール 9 に充填してソース領域 5 とコンタクトしたソース電極 10、及びドレイン領域 6 とコンタクトしたドレイン電極 11 を形成する。このドレイン電極 11 は、第 2 の TFT40 のゲート 41 に接続されている。ま

It uses the polycrystalline-silicon (Poly-Silicon and the following call "p-Si") film as an active layer.

First, it demonstrates 1st TFT30 which is TFT for switching.

It provides the active layer which is made up of a p-Si film on a base plate 2, and two gates 31, i.e., a gate, and gate 32 are provided through the gate insulation film 7 on this active layer, 1st TFT30 has what is called double gate structure. In an active layer directly under these gates 31 and 32, it has the channel region 3, region 4 in which the impurity was injected into both sides of the channel region 3, furthermore, the source region 5 where impurity concentration is higher than this region 4, and the drain region 6.

In this way, 1st TFT30 has what is called LDD (Lightly Doped Drain) structure.

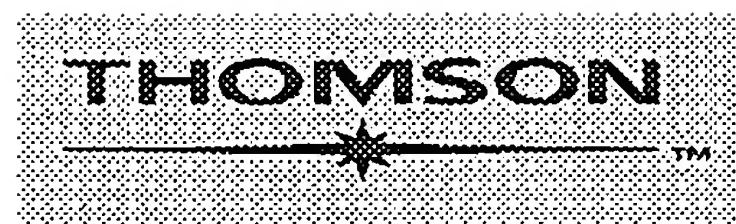
After providing an interlayer insulation film 8 in this 1st whole surface of TFT30, it provides a contact hole 9 in the gate insulation film 7 and the interlayer insulation film 8 of a position corresponding to the source region 5 and the drain region 6.

And it forms the source electrode 10 which filled the contact hole 9 with metals, such as Al, and contacted the source region 5, and the drain electrode 11 in contact with the drain region 6.

This drain electrode 11 is connected to 2nd gate 41 of TFT40.

Moreover, it provides a contact hole 12 in an interlayer insulation film 8, and forms the gate electrode 13 which connected gates 31 and 32 simultaneously with formation of the source electrode 10 and the drain electrode 11.

The planarization insulation film 14 is formed on



た、層間絶縁膜 8 にコンタクトホール 12 を設け、ソース電極 10 及びドレイン電極 11 の形成と同時にゲート 31, 32 を接続したゲート電極 13 を形成する。このゲート電極 13、ソース電極 10、ドレイン電極 11 及び層間絶縁膜 8 の上には、平坦化絶縁膜 14 が形成されている。次に、有機 EL 素子の駆動用の TFT である第 2 の TFT40 について説明する。第 1 の TFT40 と同様に、基板 2 に p-Si からなる能動層を設け、この能動層には、ゲート 41 直下にチャネル領域 3、そのチャネル領域 3 の両側に不純物を注入した領域 4、更に領域 4 より不純物濃度の高いソース領域 15 及びドレイン領域 16 を形成する。その上にはゲート絶縁膜 7 を介してゲート 41 を設ける。このように第 2 の TFT40 はいわゆる LDD 構造を有している。ソース領域 15 は第 1 の TFT30 形成と同時に形成したゲート絶縁膜 7 及び層間絶縁膜 8 に設けたコンタクトホール 17 を介して有機 EL 素子 60 の陽極 61 に接続されている。ゲート 41 は第 1 の TFT30 のドレイン電極 11 と接続されている。また、ドレイン電極 16 は電源 50 に接続されている。有機 EL 素子 60 は、一般的な構造であり、ITO

this gate electrode 13, the source electrode 10, the drain electrode 11, and the interlayer insulation film 8.

Next, it demonstrates 2nd TFT40 which is TFT for actuation of an organic EL device.

Region 4 which provided the active layer which becomes a base plate 2 from p-Si like 1st TFT40, and injected the impurity into the channel region 3 and the both sides of that channel region 3 directly under gate 41 at this active layer, furthermore, it forms the source region 15 where impurity concentration is higher than region 4, and the drain region 16.

On it, it provides gate 41 through the gate insulation film 7.

Thus, 2nd TFT40 has what is called LDD structure.

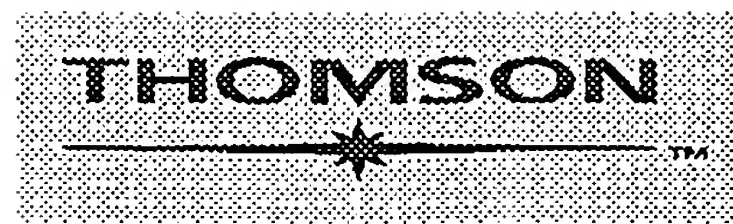
The source region 15 is connected to anode 61 of an organic EL device 60 through the contact hole 17 provided in the gate insulation film 7 and the interlayer insulation film 8 which were formed simultaneously with 1st TFT30 formation.

Gate 41 is connected with 1st drain electrode 11 of TFT30.

Moreover, the drain electrode 16 is connected to the power source 50.

An organic EL device 60 is the general structure.

Anode 61 which constitutes of transparent electrodes, such as ITO (Indium Thin Oxide), the 1st hole transportation layer which constitutes of MTDATA (4, 4'-bis(3-methylphenylphenylamino) biphenyl), the 2nd hole transportation layer which is made up of TPD (4,4',



(Indium Thin Oxide) 等の透明
電極から成る陽極 61、MTD
A T A

(4,4'-bis(3-methylphenylphenylamino)biphenyl) から成る第1
ホール輸送層、TPD
(4,4',4''-tris(3-methylphenylphenylamino)triphenylamine) から
なる第2ホール輸送層、キナク
リドン (Quinacridone) 誘導体
を含む Beq2 (10-ベンゾ
[h]キノリノールベリリウ
ム錯体) から成る発光層及び B
eq2 から成る電子輸送層か
らなる発光素子層 63、マグネ
シウム・インジウム合金から成
る陰極 62 がこの順番で積層形
成された構造である。また有機
EL素子は、陽極から注入され
たホールと、陰極から注入され
た電子とが発光層の内部で再結
合し、発光層を形成する有機分
子を励起して励起子が生じる。
この励起子が放射失活する過程
で発光層から光が放たれ、この
光が透明な陽極から透明絶縁基
板を介して外部へ放出されて発
光する。図2に、本発明の表示
装置の等価回路図を示し、図3
に各信号のタイミングチャート
を示す。図2は、第1のTFT
30、第2のTFT40及び有機
EL素子60からなる表示装
置の等価回路図であり、第n行
及び第n+1行のゲート信号線
Gn, Gn+1と第m列及び第

4''-tris(3-methylphenylphenylamino)
triphenylamine), quinacridone (Quinacridone)
derivative

It is the structure where the luminous-element
layer 63 which is made up of an electron
carrying layer which constitutes of the light
emitting layer which constitutes of included
Bebq2 (10-[benzo h] quinolinol-beryllium
complex), and Beq2, and cathode 62 which
constitutes of magnesium indium alloy were
formed lamination in this turn.

Moreover, the hole implanted from the anode
and the electron implanted from the cathode
recombine an organic EL device inside a light
emitting layer, it excites the organic molecule
which forms a light emitting layer, and an
exciton arises.

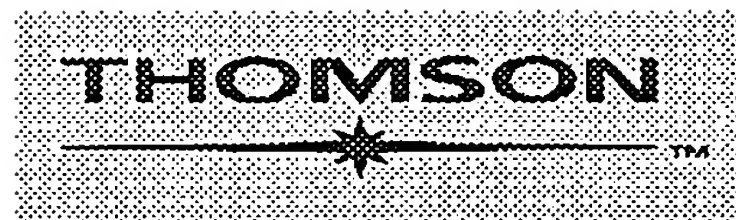
A light is emitted from a light emitting layer in
the process in which this exciton carries out a
radiation deactivation, and from a transparent
anode, this light is discharged to the exterior
through a transparent insulation substrate, and
emits light.

The equivalent-circuit figure of the display
device of this invention is shown in FIG. 2, the
timing chart of each signal is shown in FIG. 3.

FIG. 2 is the equivalent-circuit figure of the
display device which is made up of 1st TFT30,
2nd TFT40, and an organic EL device 60.

The drain signal wire Dm of the gate-signal line
Gn of the n-th line and the n+1st line, Gn+1, the
m-th row, and the m+1st row and the Dm+1
neighborhood are shown.

In addition, it sets in FIG. 3, (a) is signal VG(n)1
supplied to 1st gate electrode of TFT of the n-th
line, (b) is the signal VG(n+1) 1 supplied to 1st



$m+1$ 列のドレイン信号線 D_m , D_{m+1} 付近を示している。なお、図3において、(a) は第 n 行の第1の TFT のゲート電極に供給される信号 $VG(n)1$ の、(b) は第 $n+1$ 行の第1の TFT のゲート電極に供給される信号 $VG(n+1)1$ の、(c) は第 m 列のドレイン信号 VD の、(d) は第 n 行の第2の TFT のゲート電極の信号 $VG(n)2$ の、(e) は第 $n+1$ 行の第2の TFT のゲート電極の信号 $VG(n+1)2$ のそれぞれのタイミングチャートを示す。図2に示す如く、ゲート信号を供給するゲート信号線 G_n , G_{n+1} と、ドレイン信号を供給するドレイン信号線 D_m , D_{m+1} との直交部付近に、上述の第1の TFT 30、40 及び有機 EL 素子 60 とから成る表示画素 1 が形成されている。第 n 行のゲート信号線 G_n に注目してみると、図3 (a) に示すようにゲート信号線 G_n に接続されたゲート 31, 32 にゲート信号が供給されると第1の TFT 30 が 1 水平期間 (1H) オン状態を保ちその後オフになる。そのオン状態になったとき図3 (d) に示すようにドレイン信号線 D_m から図3 (c) に示すドレイン信号がソース電極 34 を介してゲート電極 41 に供給されゲート電極 41 の電位がドレイン信

gate electrode of TFT of the $n+1$ st line, (c) is the drain signal VD of the m -th row, (d) is signal $VG(n)2$ of 2nd gate electrode of TFT of the n -th line, (e) shows each timing chart of the signal $VG(n+1)2$ of 2nd gate electrode of TFT of the $n+1$ st line.

As shown in FIG. 2, the display pixel 1 which constitutes of 1st above-mentioned TFT 30 and 40 and above-mentioned organic EL device 60 is formed near the orthogonal part of the gate-signal line G_n which supplies a gate signal, G_{n+1} , and the drain signal wire D_m which supplies a drain signal and D_{m+1} .

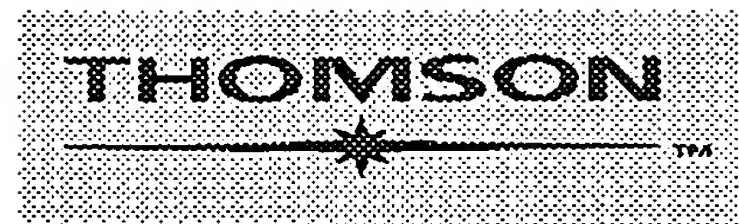
If a gate signal is supplied to gates 31 and 32 connected to the gate-signal line G_n as shown in FIG.3(a) when the gate-signal line G_n of the n -th line was observed, 1st TFT30 will maintain 1 horizontal period (1H) ON state, and, after that, will be come by off.

When it goes into the ON state, the drain signal shown in FIG.3(c) from the drain signal wire D_m as shown in FIG.3(d) is supplied to a gate electrode 41 through the sauce electrode 34, and the electric potential of a gate electrode 41 turns into the electric potential and this electric potential of the drain signal wire D_m .

In this way, if an electric potential is supplied to a gate electrode 41, 2nd TFT40 will be in an ON state, the electric current which amounts to the electric-current value of a gate electrode 41 is supplied to anode 61 of an organic EL device 60 through the drain electrode 42 and the sauce electrode 43 from a power source 50.

Then, an organic EL device 60 emits light.

Thus, a display device is formed by arranging the comprised display pixel 1 on a base plate 2



号線 D_m の電位と同電位になる。こうしてゲート電極 41 に電位が供給されると第 2 の TFT 40 がオン状態となり、ゲート電極 41 の電流値に相当する電流が電源 50 からドレイン電極 42 及びソース電極 43 を介して有機 EL 素子 60 の陽極 61 に供給される。そうして有機 EL 素子 60 が発光する。このように構成された表示画素 1 が基板 2 上にマトリクス状に配置されることにより、表示装置が形成される。以上のように、本実施の形態では、第 1 の TFT 30 がダブルゲート構造及び LDD 構造とを併せて有するので、第 1 の TFT のリーク電流を抑制することができるため、図 3 (c) に示すようにドレイン信号が 1 H ごとに変化するのに追従して、図 3 (d) の点線で示す従来のようにゲート電極 41 の電位が変化することなく、実線で示したように電位を一定に保つことができる。同様に、第 $n+1$ 行のゲート信号線 G_{n+1} についても、図 3 (e) の実線で示すように、ゲート電極 41 の電位を一定に保つことができる。即ち、発光する表示画素に発光すべき電流を安定して有機 EL 素子に供給することができる。なお言うまでもなく、第 1 の TFT がダブルゲート構造のみを有する場合でもリーク

at a form of matrix.

As mentioned above, in this Embodiment, 1st TFT30 has the double gate structure and the LDD structure collectively, depend.

Since the leak electric current of 1st TFT can be controlled, it follows the change of a drain signal for every H as shown in FIG.3(c), without the electric potential of a gate electrode 41 being changed as with the past which is shown by the dotted line in FIG.3(d), as the continuous line showed, it can keep an electric potential constant.

Similarly, also about gate-signal line G_{n+1} of the $n+1$ st line, as the continuous line of FIG.3(e) shows, it can keep the electric potential of a gate electrode 41 constant.

That is, it can supply with stability the electric current which should emit light to the display pixel which emits light to an organic EL device.

In addition, needless to say, even when 1st TFT has only the double gate structure, it can control a leak electric current.

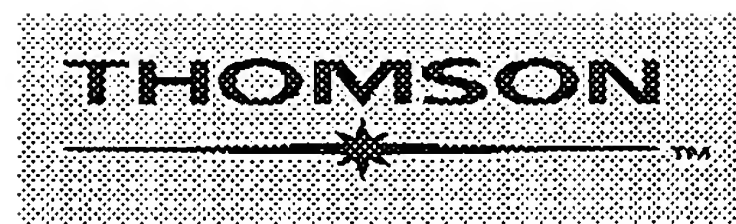
Moreover, 2nd TFT40 has the LDD structure, depend.

It can relieve concentration of electrical-field density which it generates at the channel end part.

That is, even if it maintains the electric potential of one-frame period regularity to a gate electrode 41 like FIG.3(d), it supplies an electric current and it lets an organic EL device 60 emit light, it can prevent that TFT degrades.

Therefore, while being able to obtain the stable display, it can provide the display device with improved reliability.

In addition, in this Embodiment, 1st and 2nd



電流を抑制することができる。また、第2のTFT40がLDD構造を有しているので、チャネル端部に発生する電界密度の集中を緩和できる。即ち、図3(d)のようにゲート電極41に1フレーム期間一定の電位を保持し電流を供給して有機EL素子60を発光させてもTFTが劣化することを防止できる。従って、安定した表示を得ることができる。なお、本実施の形態においては、第1及び第2のTFT30, 40ともに、ゲート電極を能動層3の上に設けたいわゆるトップゲート型のTFTについて説明したが、ゲート電極が能動層の下にあるいわゆるボトムゲート型TFTでも良い。また、能動層として多結晶シリコン膜を用いたが、微結晶シリコン膜又は非晶質シリコンを用いても良い。

【発明の効果】

本発明の表示装置は、第1のTFTはダブルゲート構造を有するものである。第1のTFTのリーク電流を抑制して第2のTFTのゲート電極の電位を一定に保つことができ、発光する表示画素が発光すべき輝度で発光する表示装置を得ることができる。また、LDD構造を有

TFT 30 and 40 demonstrated what is called the TFT of the top gated mode which provided the gate electrode on the active layer 3.

However, it is possible also at what is called bottom-gate type TFT that has a gate electrode under an active layer.

Moreover, it used the polycrystalline-silicon film as an active layer.

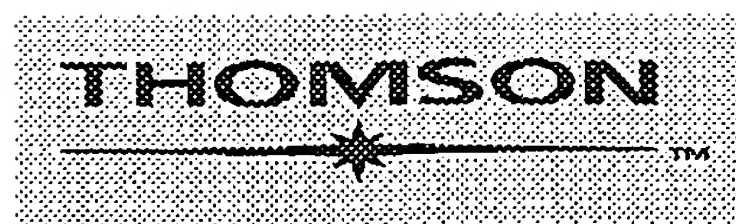
However, it is sufficient to use a fine-crystal silicon film or amorphous silicon.

[ADVANTAGE OF THE INVENTION]

As for the display device of this invention, 1st TFT has the double gate structure, depend.

It can control 1st leak electric current of TFT, can keep constant the electric potential of 2nd gate electrode of TFT, and can obtain the display device which emits light by the brightness in which the display pixel which emits light should emit light.

Moreover, it has TFT which has the LDD



するTFTを備えているので、リーク電流を抑制することができるとともに、チャネル端部における電界密度を緩和できTFTの劣化を防ぎ信頼性を向上させることができる。

structure, depend.

While being able to control a leak electric current, it can relieve electrical-field density in a channel end part, can prevent degradation of TFT, and can make reliability improve.

【図面の簡単な説明】

[BRIEF DESCRIPTION OF THE DRAWINGS]

【図1】

本発明の表示装置の断面図である。

[FIG. 1]

It is sectional drawing of the display device of this invention.

【図2】

本発明の表示装置の等価回路図である。

[FIG. 2]

It is the equivalent-circuit figure of the display device of this invention.

【図3】

本発明の表示装置の各信号のタイミングチャートである。

[FIG. 3]

It is the timing chart of each signal of the display device of this invention.

【図4】

従来の表示装置の等価回路図である。

[FIG. 4]

It is the equivalent-circuit figure of the display device of the past.

【図5】

従来の表示装置の各信号のタイミングチャートである。

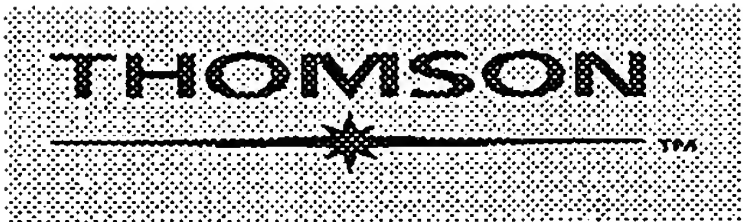
[FIG. 5]

It is the timing chart of each signal of the display device of the past.

【符号の説明】

[DESCRIPTION OF SYMBOLS]

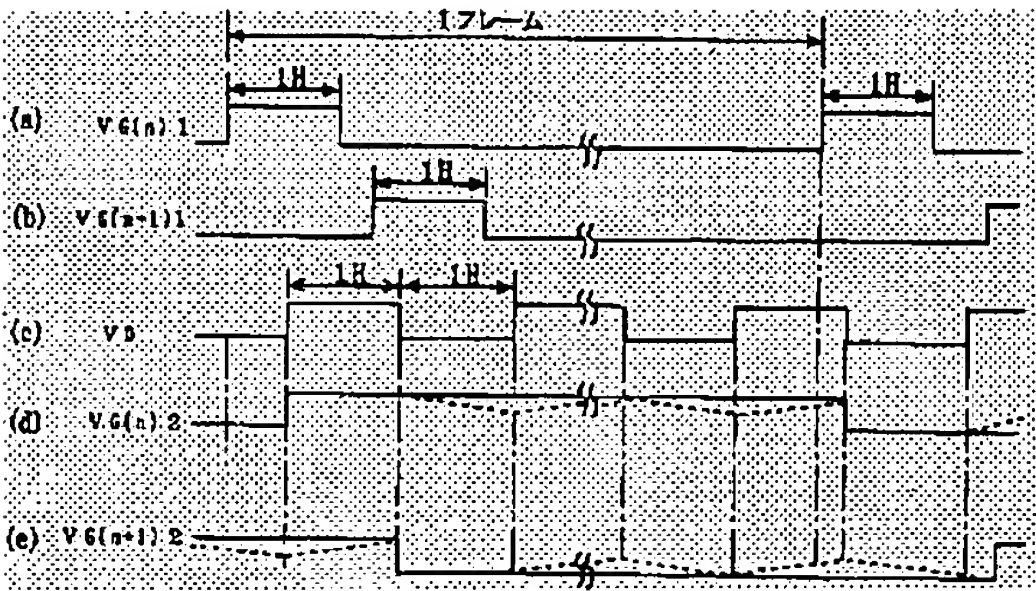
1	表示画素	1	Display pixel
31、32、41	ゲート	31, 32, 41	Gate
30	第1のTFT	30	1st TFT



40	第2のT	40	2nd TFT
FT		50	Power source
50	電源	60	Organic EL device
60	有機EL		
素子			

【図3】

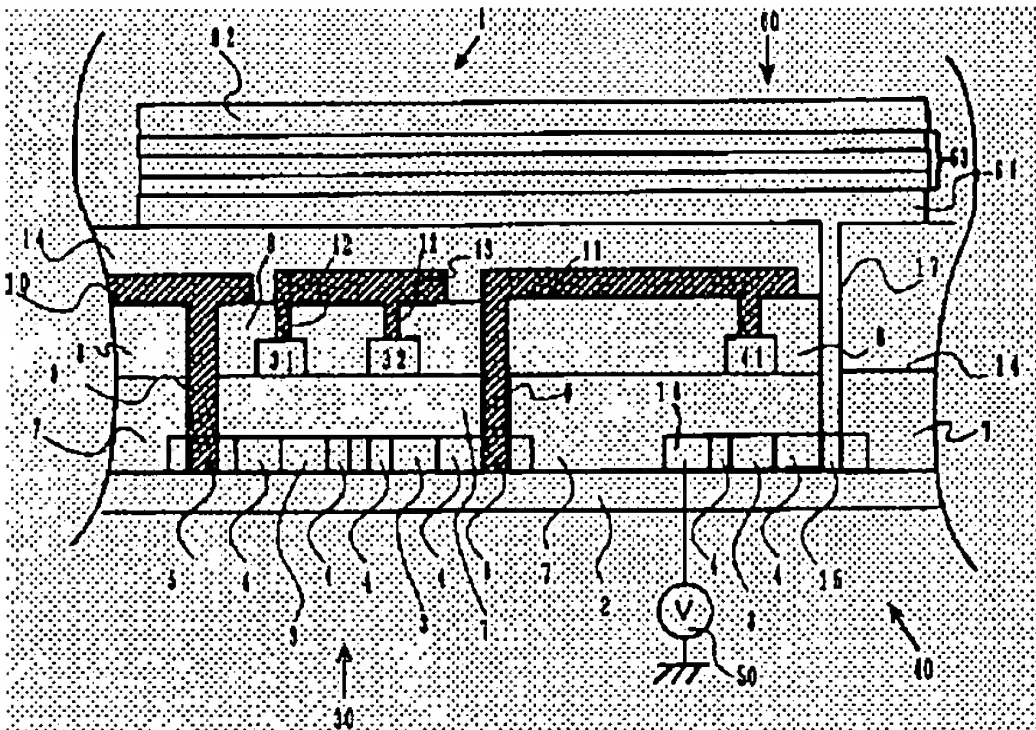
[FIG 3]

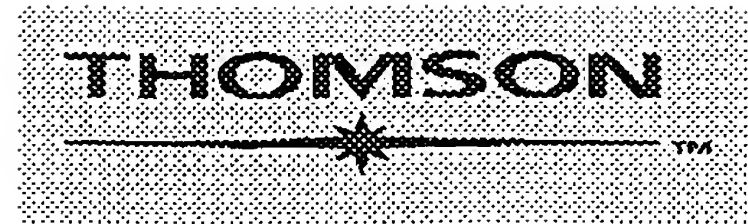


1 フレーム: 1 frame
VG(n)1, VG(n+1)1, VG(n+1)2: Signal
VD: Drain signal
VG(n)2: Electric-potential
1H: 1 horizontal period

【図1】

[FIG 1]

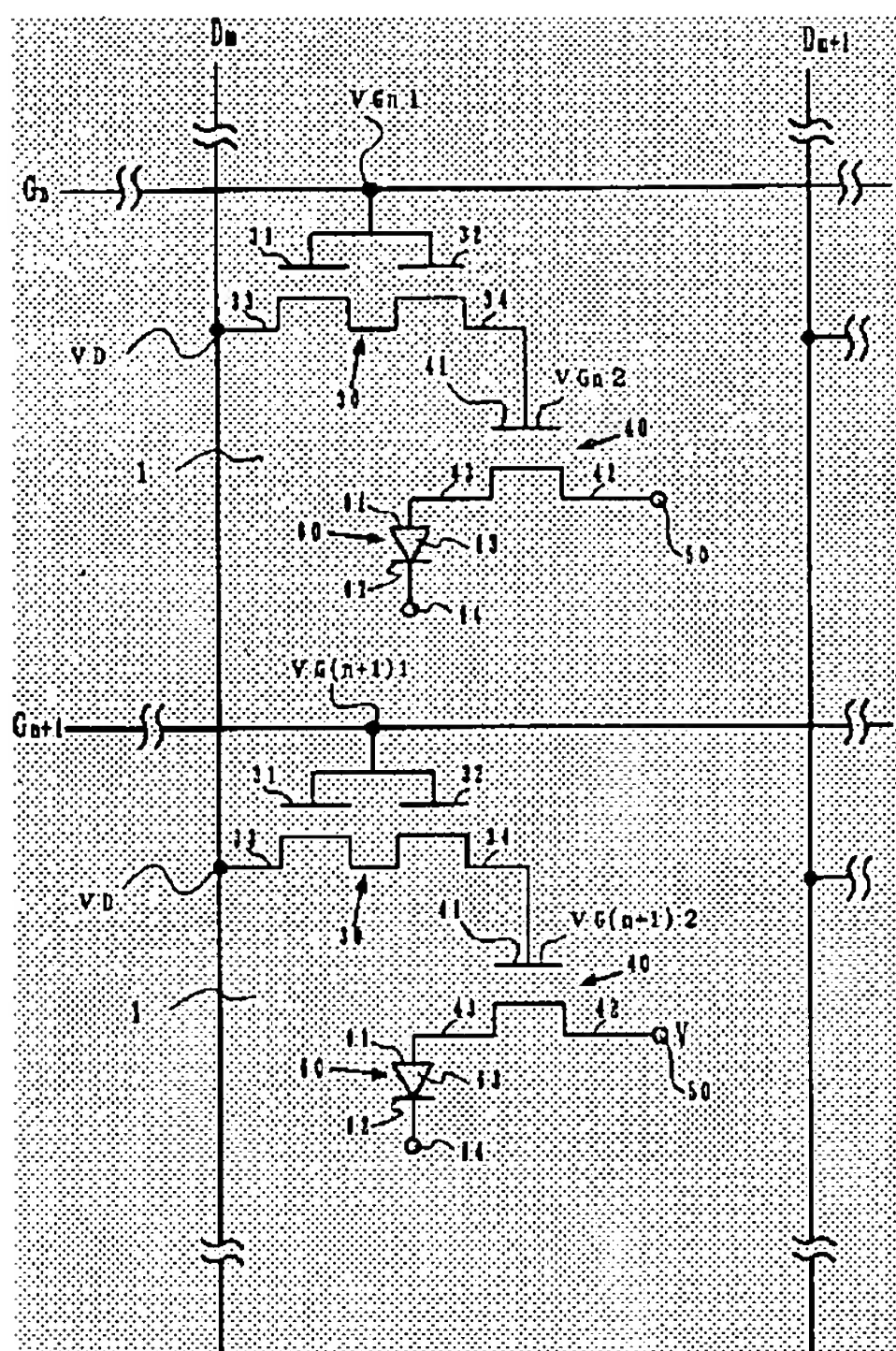




- 1: Display pixel
- 2: Base plate
- 3: Channel region
- 4: Region 4 which injected the impurity into the channel region
- 5: Sauce region
- 6: Drain region
- 7: Gate insulation film
- 8: Interlayer insulation film
- 9: Contact hole
- 10: Sauce electrode
- 11: Drain electrode
- 12: Contact hole
- 13: Gate electrode
- 14: Planarization insulation film
- 15: Sauce region
- 16: Drain region
- 17: Contact hole
- 30: 1st TFT
- 31: Gate
- 32: Gate
- 40: 2nd TFT
- 41: Gate
- 50: Power source
- 60: Organic EL device
- 61: Anode
- 62: Cathode
- 63: Luminous-element layer

【図 2】

[FIG. 2]



- 1: Display pixel
- 30: 1st TFT
- 31: Gate
- 32: Gate
- 33: (Not specified)
- 34: Sauce electrode
- 40: 2nd TFT
- 41: Gate
- 42: Drain electrode
- 43: Sauce electrode
- 50: Power source
- 60: Organic EL device
- 61: Anode
- 62: Cathode
- 63: Luminous-element layer
- 64: (Not specified)
- Dm, Dm+1: Drain signal wire

G_n, G_{n+1} : Gate-signal line

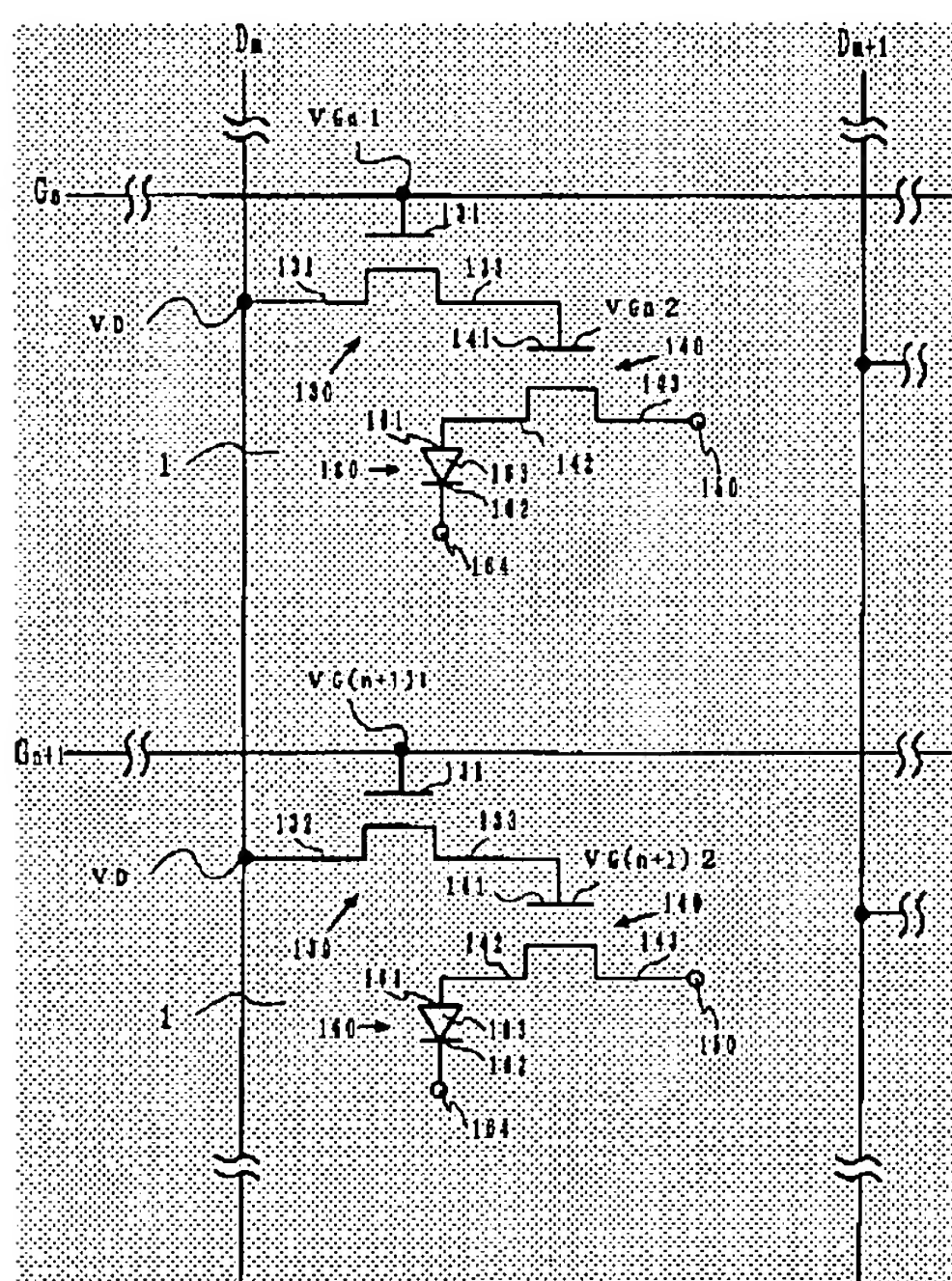
$VG(n)1, VG(n+1)1, VG(n+1)2$: Signal

VD : Drain signal

$VG(n)2$: Electric-potential

【図 4】

[FIG 4]



1: Display pixel

130: 1st TFT

131: Gate electrode

132: Drain electrode

133: Source electrode

140: 2nd TFT

141: Gate electrode

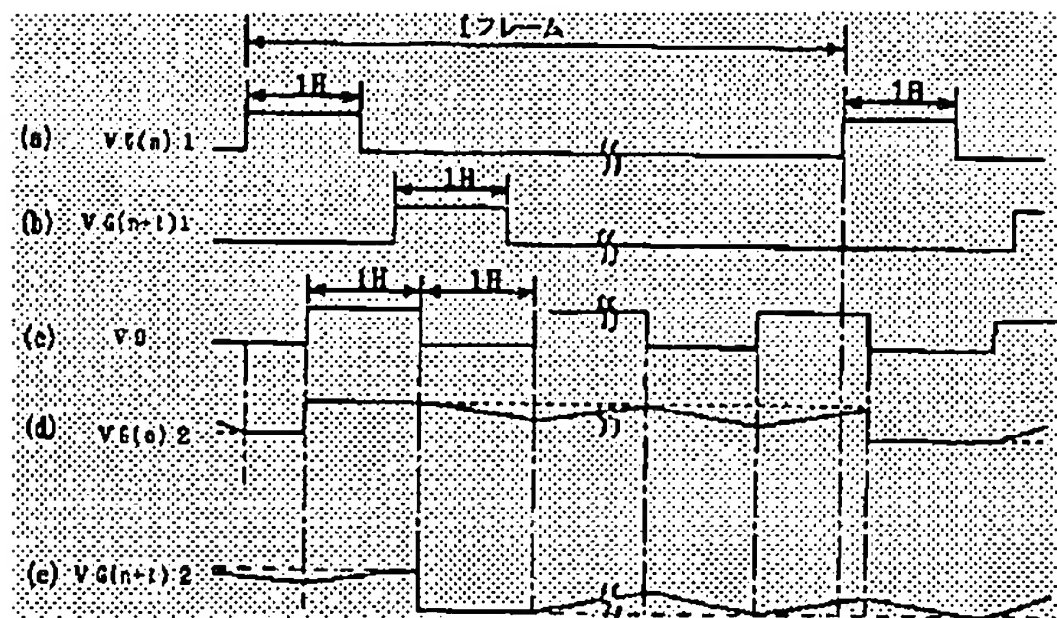
142: Source electrode

143: Drain electrode

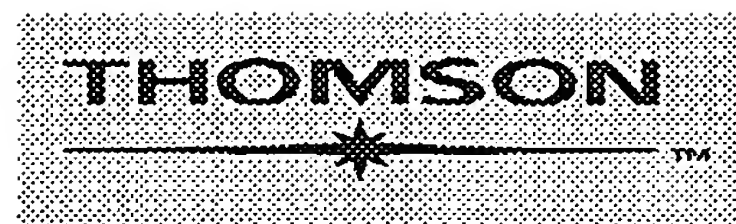
150: Power source
 160: Organic EL device
 161: Anode
 162: Cathode
 163: Luminous-element layer
 164: Common electrode
 Dm, Dm+1: Drain signal wire
 Gn, Gn+1: Gate-signal line
 VG(n)1, VG(n+1)1, VG(n+1)2: Signal
 VD: Drain signal
 VG(n)2: Electric-potential

【図 5】

[FIG. 5]



1 フレーム: 1 frame
 VG(n)1, VG(n+1)1, VG(n+1)2: Signal
 VD: Drain signal
 VG(n)2: Electric-potential
 1H: 1 horizontal period



THOMSON SCIENTIFIC TERMS AND CONDITIONS

Thomson Scientific Ltd shall not in any circumstances be liable or responsible for the completeness or accuracy of any Thomson Scientific translation and will not be liable for any direct, indirect, consequential or economic loss or loss of profit resulting directly or indirectly from the use of any translation by any customer.

Thomson Scientific Ltd. is part of The Thomson Corporation

Please visit our website:

["www.THOMSONDERWENT.COM"](http://www.THOMSONDERWENT.COM) (English)

["www.thomsonscientific.jp"](http://www.thomsonscientific.jp) (Japanese)